

Control de Velocidad de un Motor DC con CPLD

Speed Control of a DC motor with CPLD

Guillermo Tejada Muñoz¹

Facultad de Ingeniería Electrónica y Eléctrica, Universidad Nacional Mayor de San Marcos, Lima, Perú

Resumen— El presente artículo describe el circuito lógico específico que ha sido insertado en un Dispositivo Complejo de Lógica Programable (Complex Programmable Logic Device - CPLD) con la finalidad de controlar en lazo abierto, la velocidad y el sentido de giro (horario y anti horario) de un motor DC. Se ha utilizado el CPLD EPM7128S y un motor DC de 6 voltios. La señal que genera el hardware insertado en el CPLD es PWM (Pulse Wide Modulation), la cual ha sido amplificada con el circuito integrado L293D (puente H). El software Quartus II ha sido utilizado para programar el CPLD.

Abstract— This article describes the specific logic circuit that has been inserted into a Complex Programmable Logic Device (CPLD) in order to control, open loop, the speed and direction of rotation (clockwise and counterclockwise) of a DC motor. It was used CPLD EPM7128S and 6 volt DC motor. The signal generated by the logic circuit, inserted into the CPLD is PWM (Pulse Wide Modulation), which has been amplified with the L293D (H bridge) integrated circuit. The Quartus II software has been used to program the CPLD.

Palabras clave— QUARTUS, motor DC, Módulo Educativo UP2, L293D.

Keys words— QUARTUS, DC motor, UP2 Education Board, L293D

I. INTRODUCCIÓN

El presente estudio presenta la descripción de la realización física dentro de un CPLD de un circuito lógico que controla el funcionamiento de un motor DC. El circuito posee cuatro comandos de entrada que aceleran, desaceleran, invierten el giro y detienen el movimiento del motor y posee de dos salidas en donde alternadamente se entrega la señal PWM que controla al motor.

La importancia de los motores de DC se debe a su facilidad de variar su velocidad y torque, por este

motivo se les puede ver haciendo parte de: Automóviles, aviones, equipos médicos, instrumentos de odontología, grúas, fajas transportadoras, robots, satélites, etc. Es así, como por ejemplo, el robot *Curiosity*, utiliza motores DC en todas sus articulaciones electromecánicas y el satélite *ESA Sentinel 3*, puesto en órbita el 2013, utiliza motores DC en caso de emergencia para controlar y asegurar las válvulas de combustible. Hay principalmente dos tipos de motores utilizados en la industria, el primero es el motor DC convencional donde el flujo es producido por la corriente a través de la bobina de campo del polo estacionario. El segundo tipo es el motor DC sin escobillas donde un imán permanente provee el flujo necesario en lugar de los polos de campo de alambre embobinado [1]. Dependiendo del uso previsto del motor, las escobillas pueden ser de dos tipos diferentes; carbono o multi-alambre. Los tipos de carbono utilizados son el grafito-cobre o grafito-plata y son perfectamente adecuados para aplicaciones de movimiento incremental que exigen alto torque continuo y de pico. El tipo multi-alambre utiliza metales preciosos y proporciona baja tensión de arranque y una mayor eficiencia, una combinación perfecta para aplicaciones que funcionan con baterías portátiles [2], [3]. En este estudio se ha utilizado un motor de 6 VDC, con escobillas de metal precioso.

Por otro lado, la importancia de realizar el control de un motor mediante un CPLD es debido a que con este dispositivo se controla al motor por Hardware y no por software, permitiendo extender, si así se deseará, fácilmente el control para varios motores DC funcionando simultáneamente en paralelo. Con los CPLDs virtualmente no existe ninguna limitación de velocidad, de ahí que para aplicaciones con motores se pueda escoger uno con un gran número de polos y velocidad (rpm). Esto es una ventaja principalmente para motores sin escobillas que presentan un gran número de polos y frecuencias por encima de los 500Hz [4]. El estudio también es de interés porque a pesar que el CLPD es un dispositivo digital, con él se

¹ Guillermo Tejada Muñoz, E-mail: gtejadam@unmsm.edu.pe
Recibido: Mayo 2015) / Aceptado: Junio 2015

ha generado señales que controlan a una carga de naturaleza analógica. Mayores detalles del funcionamiento de un CPLD puede encontrarse en las referencias [5], [6] y [7].

El circuito lógico que se ha logrado insertar en el CPLD está sincronizado con el reloj interno del CPLD, cuya frecuencia ha sido dividida mediante contadores con el objeto de variar la velocidad del motor en pasos de milisegundos. La señal de salida variable es producida por un circuito PWW implementada por contadores y sumadores aritméticos, la variación del ancho de pulso de la señal PWM es la que produce la variación DC de la señal de salida, lográndose de esta manera acelerar o desacelerar el motor.

El cambio de giro del motor (sentido horario o antihorario) se logra mediante la inversión de las señales en las salidas. Como interfaz entre el CPLD y el motor se ha utilizado el circuito integrado (L293D) que es un puente H con diodos clamping, el circuito integrado es útil porque eleva los niveles de corriente del CPLD necesario para alimentar al motor. Los resultados han probado el cumplimiento del objetivo del estudio, es decir, el de utilizar al CPLD para controlar en lazo abierto la velocidad de un motor DC, aumentando y disminuyendo su velocidad así como su sentido de giro (horario y anti horario).

II. METODOLOGÍA

El tipo de investigación abordada es aplicada, inicialmente se realizó la investigación bibliográfica, luego los diseños preliminares fueron sucesivamente simulados y ajustados hasta llegar al circuito final, solo después de lo cual el circuito fue implementado físicamente.

Las diferentes versiones del circuito han sido previamente simuladas con ISIS (Intelligent Schematic Input System), que es uno de los programas de Proteus 7 de Labcenter Electronics. El circuito final ha sido insertado al CPLD EPM7128SLC84-7 de Altera, el cual está contenido en la tarjeta de desarrollo University Program UP2 de propiedad del Instituto de Investigación de la FIEE. Para insertar el circuito al CPLD se ha utilizado el editor de esquemáticos del Quartus II, V. 9.1 Web Edition. Los detalles de cómo manejar este software pueden ser encontrados en la referencia [8].

El motor es manejado con una señal PWM proveniente del circuito que hemos insertado en el CPLD, este circuito ha sido una adaptación de otro circuito encontrado en la literatura de la referencia [9], muy simplificada a continuación explicamos el circuito adaptado. En la Fig. 1, se muestra el circuito, utiliza un Contador, un Registro de FFs (que en nuestro caso también es otro contador) pero con un clock2 cuyo periodo resulta de multiplicar el periodo de clock1, por lo que ambos están sincronizados. El SUMADOR binario, calcula la suma de los sumandos,

uno constituido por la salida del Contador y el otro por la salida del Registro de los FFs. La señal PWM se genera por el acarreo de salida del Sumador (CO).

Mediante ejemplos en la Fig. 2, se muestra el funcionamiento del circuito para el caso simple de tener 4 bits. Así, para el caso (a), tenemos que los bits almacenados en los FFs son 0001 (1 en decimal), estos valores se suman con cada valor que se genera el SUMADOR, resultando por CO una señal PWM con un Duty Cycle de 1/16%. De la misma manera, para el caso (b) en donde los bits almacenados en los FFs son 1000 (8 en decimal) se genera un PWM con un Duty Cycle de 8/16% y finalmente para el caso (c) en donde los bits almacenados en los FFs son 1111 (15 en decimal) se genera un PWM con un Duty Cycle de 15/16%.

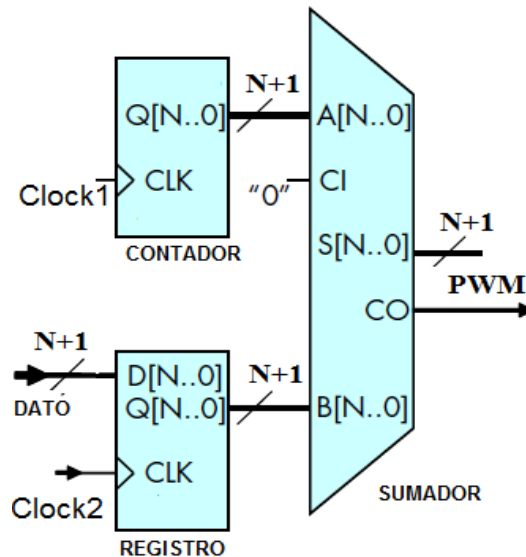


Fig. 1 Generación de PWM por hardware.

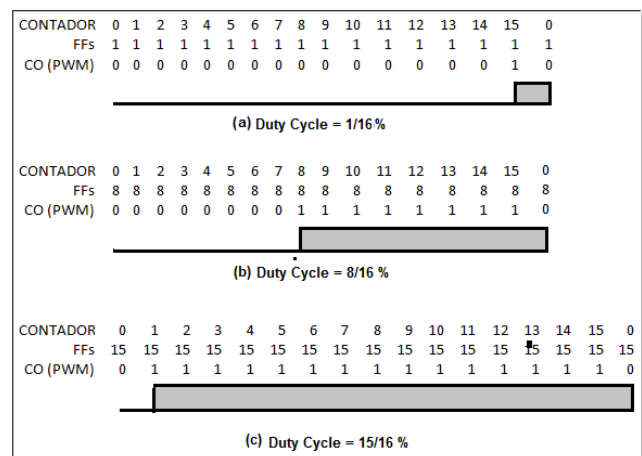


Fig. 2 Ejemplos de generación de PWM.

Al tener, señales PWM con duty cycle diferentes implica entonces, que el valor DC de la señal PWM

con la cual se alimenta al motor es variable y se corresponde con la expresión:

$$V_{DC} = D \times V_{MAX} \quad (1)$$

La Fig. 3, grafica la relación entre el Duty cycle con el valor DC de la señal PWM generada.

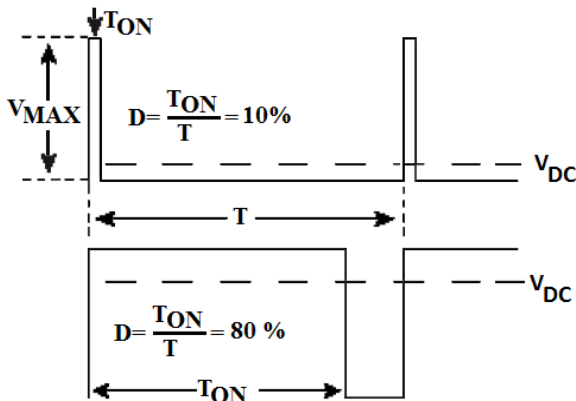


Fig. 3. Relación entre el V_{DC} y el *Duty Cycle*

Por otro lado, un aspecto importante a la hora de elegir la frecuencia de la señal PWM para el control de un motor es la respuesta del motor ante cambios en el *Duty Cycle* del PWM. Un motor va a tener una respuesta más rápida a cambios de *Duty Cycle* a frecuencias mayores. También, motores DC del tipo *Brushed* hacen un ruido intolerable en el rango audible cuando son llevados a altas frecuencias. Para evitarlo, hay que llevar a este tipo de motores a frecuencias mayores que los 4kHz (Si bien los humanos pueden escuchar frecuencias hasta los 20kHz, la mecánica de los motores atenúa considerablemente el ruido) [11].

De acuerdo a los principios de funcionamiento de la Fig. 1, se diseñó un circuito el cual ha sido insertado dentro del CPLD, el cual es mostrado en la Fig. 4. Como paso previo, la frecuencia del Clock interno de la placa UP2 de 25.175 MHz se ha dividido apropiadamente para sincronizar el funcionamiento de todo el circuito. El Circuito Integrado (CI) 1, divide la frecuencia de la placa entre 5, es decir a 5.033 MHz. Los bloques que representan los circuitos Integrados (CIs) 2 y 3, conforman un contador de 0 a 255 y los CIs 7 y 8 conforman un registro (y también un contador) que almacenan palabras binarias de 8 bits. Las salidas del contador y del registro/contador alimentan al sumador de 8 bits constituidos por los CIs 9 y 10. Por la salida COUT del CI 10 se genera la señal PWM. El contador (CIs 2 y 3) completa su cuenta desde 0 a 255 cada 20 KHz, esta es la frecuencia de la señal PWM, este valor es coherente con la recomendación de la literatura.

Debido a los divisores de frecuencia constituido por los CIs 4, 5 y 6, cada palabra binaria (muestra) que se va a convertir a PWM, proveniente del registro/contador de 8 bits (CIs 7 y 8), se actualiza aproximadamente cada 26 ms (38.5 Hz). Esto se ha hecho con el objeto de hacer lo más lento posible los pasos de incrementos o decrementos de la señal DC del PWM. La orden de incrementar o decrementar el valor del registro/contador se realiza con dos líneas de entrada designadas como: DESACELERAR y ACELERAR, estas entradas conjuntamente con dos puertas NAND, como se muestra en la Fig. 3, encaminan la señal de reloj de 26 ms ya sea a la entrada DN (decrementar cuenta) o UP (incrementar cuenta) del registro/contador. Partiendo de 0 hasta 255 o en sentido inverso con pasos de 26 ms, es posible variar en el rango total de voltaje la señal PWM en aproximadamente 7 segundos, lo que implica por tanto la variación de la velocidad del motor en todo su rango en esa misma cantidad de tiempo.

La línea de entrada STOP resetea a todos los circuitos integrados, asegurando un valor nulo e inicial de voltaje de PWM lo que implica detener la marcha del motor.

La señal PWM es canalizada hacia la salida A o B, de acuerdo al estado lógico de la entrada designada como HOR/ANTIHOR, de esta manera se controla el sentido de giro del motor. En la Fig. 5, se muestra gráficamente la manera como se invierte el sentido de giro del motor al conmutar la salida de la señal PWM por A o B. Es necesario utilizar un puente H, con la debida capacidad de corriente para manejar el motor, se ha utilizado el CI L293D, que provee una corriente de 600 m.A. y tiene diodos clamping incluidos para cargas inductivas.

Finalmente, el motor utilizado, fue el RF-300FA de MABUCHIMOTOR de 6 VDC, con escobillas de metal precioso, alcanzando una velocidad máxima de 3500 RPM. En la referencia [10] puede encontrarse los principios físicos de cómo funciona internamente un motor DC con estas características.

III. RESULTADOS

En las imágenes de la Fig. 6, se muestra la implementación física del estudio. En la foto (a) puede apreciarse la tarjeta University Program UP2 y dentro de la tarjeta al CPLD EPM7128SLC84-7, también se observa el reloj (Clock) de la tarjeta de 25.175Mhz, al Driver L293 instalado en el protoboard y conectado a los pines 16 y 18 del CPLD. Al motor se le ha colocado un disco de colores (disco de Newton), con el objeto de poder visualizar la variación de su velocidad. Los comandos de control que ingresan al CPLD se han conectado mediante cables a conmutadores con el ob-

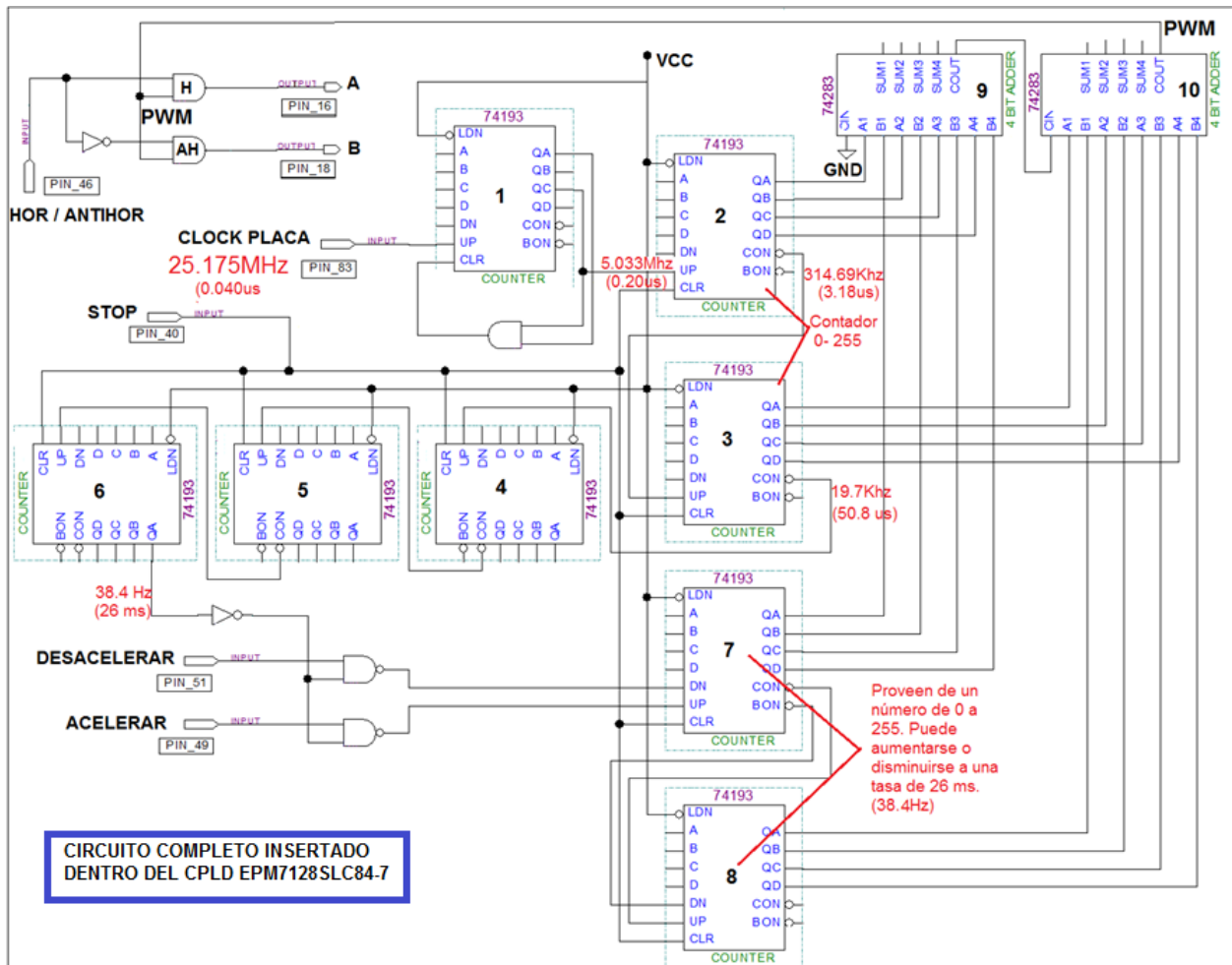


Fig. 4. Circuito lógico secuencial insertado en el CPLD EPM7128SLC84-7

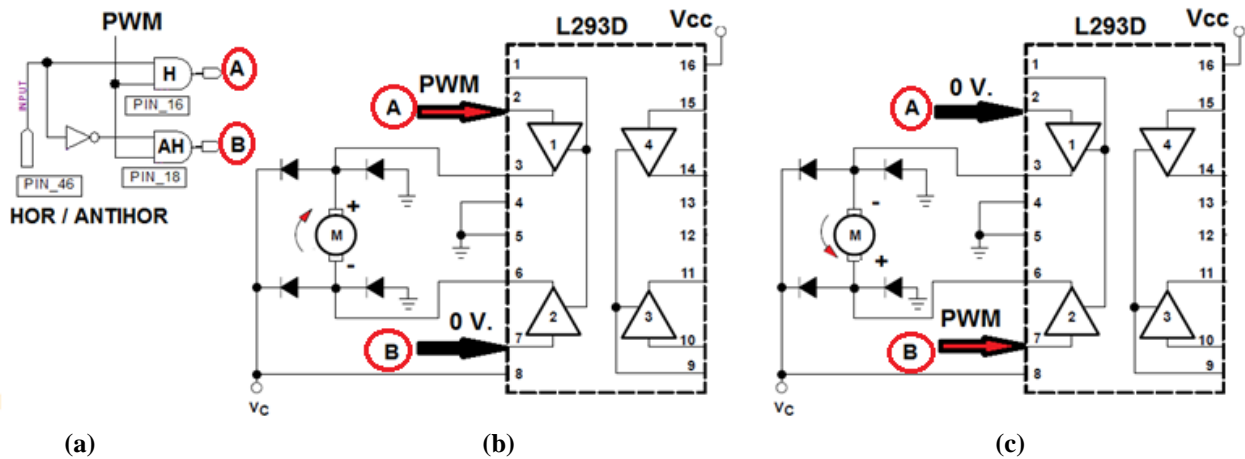
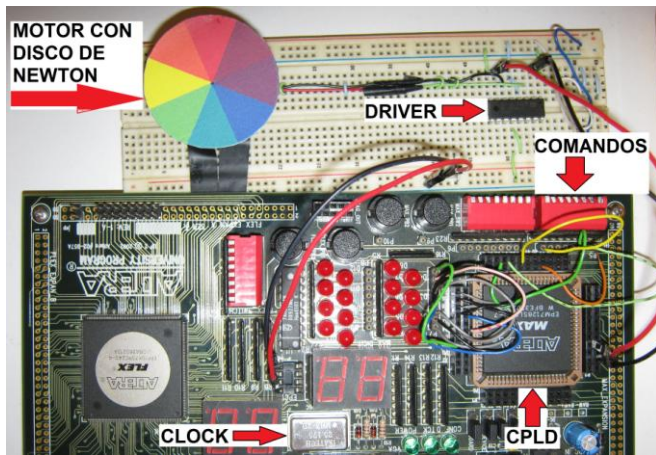


Fig. 5. Sentido de giro del motor según por donde es canalizada la señal PWM. (a) Salidas CPLD. (b) Señal PWM por A, giro motor horario (c) Señal PWM por A, giro motor anti horario.

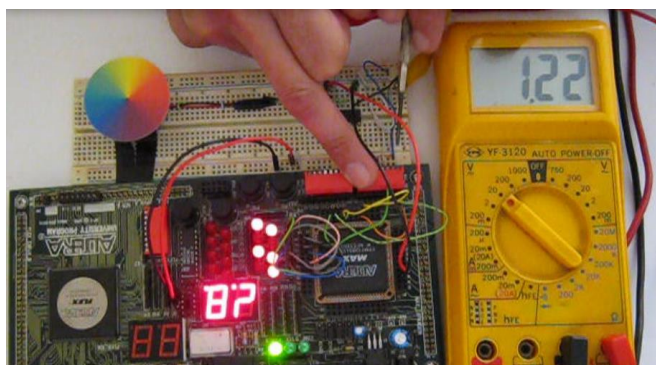
jeto de facilitar su manejo, los pines extendido son: Pin 40 (STOP), Pin 46 (HOR/ANTIHOR), Pin 49 (ACELERAR), Pin 51 (DESACELERAR). En (b) puede apreciarse al motor girando luego de presionar la entrada ACELERAR, se observa el momento en que la salida PWM alcance un valor medio en 1.22 V, en ese momento puede apreciarse aún los colores del

disco. En (c) cuando, se continua presionando la entrada ACELERAR, se aprecia un valor de salida de 2.24 voltios, se demuestra que la velocidad del motor se ha incrementado aún más al no distinguirse los colores del disco. En (d), se observa el caso en que se ha activado el sentido de giro anti horario (HOR/ANTIHOR = 0), se demuestra como en este

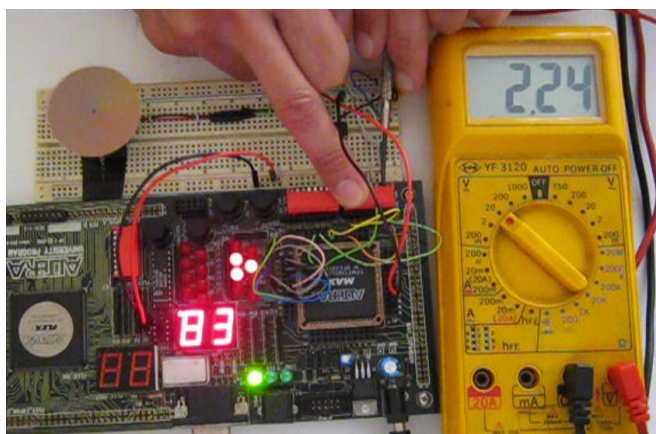
caso el valor medido es negativo (-1.25v), razón por la cual se obliga al motor a girar en sentido anti horario. Finalmente en las fotografías de las Fig.s e y f se observan las características de la señal PWM y la relación lineal que existe entre el Duty Cycle con su valor RMS y DC. También, se observa la frecuencia de la señal PWM cercana a los 20 KHZ, frecuencia recomendada por la literatura, comprobándose que no genera ruidos en el motor.



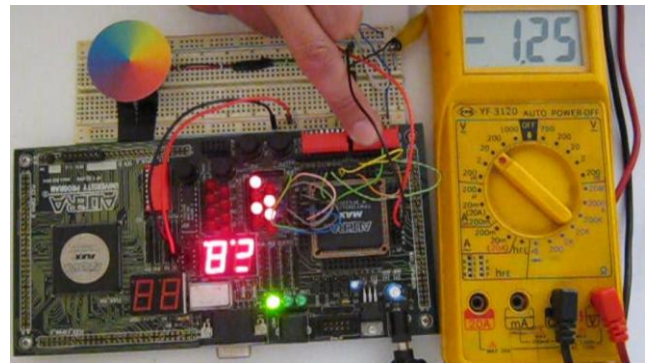
(a)



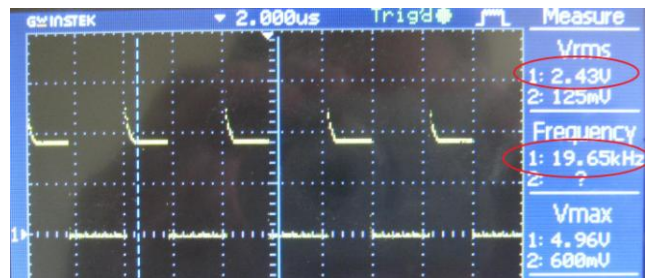
(b)



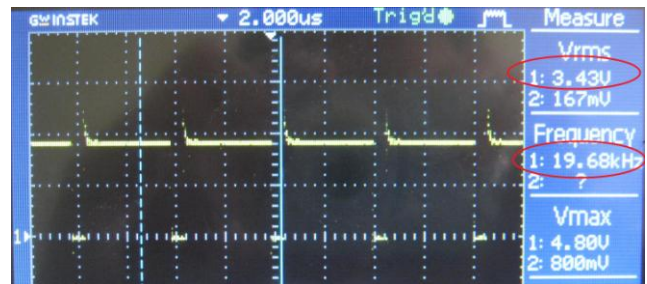
(c)



(d)



(e)



(f)

Fig. 6. Demostración práctica funcionamiento del motor DC y señales generadas. (a) CPLD, Driver y motor con disco de Newton. (b) Girando sentido horario, valor medio +1.22V. (c) Girando sentido horario, valor medio +2.24V. (d) Girando sentido anti horario, valor medio - 1.25V. (e) PWM para 2.43 VRMS (2.48 VDC). (f) PWM para 3.43 VRMS (4.32 DC).

IV. CONCLUSIONES

Se ha cumplido con el objetivo de insertar en el CPLD un circuito lógico que controla a un motor de DC, el circuito es capaz de acelerar, desacelerar, detener e invertir el giro del motor. Con el propósito de aumentar la capacidad de corriente del CPLD para excitar al motor se ha utilizado el circuito integrado L293D, no se utiliza ningún otro circuito externo al CPLD, lo que demuestra ser bastante robusto. Para manejar, motores más grandes, se puede disponer de drivers con mayor capacidad de

corriente manteniendo el circuito de control, insertado en el CPLD, sin variaciones.

REFERENCIAS

- [1] Arulmozhiyal R, Kandibam R.; “An Intelligent Speed Controller for Brushless DC Motor”; Industrial Electronics and Applications (ICIEA), 2012 7th IEEE Conference on, pp. 16-21; *IEEE*, July 2012.
- [2] Hill C.; “An Introduction to Low Voltage DC Motors- Application Note AN10293”; *Philips Semiconductors Hazel Grove United Kingdom*; 2004.
- [3] Portescap; “Why a DC motor”. Disponible en: <http://www.portescap.com/products/brush-dc-motor/understanding-brush-motors>; consultado en diciembre 2014.
- [4] Van den Bossche, A.; Bozalakov, D.V.; Vyncke, T.; Valchev, V.C.; “Programmable Logic Device Based Brushless DC Motor Control”; Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on, pp. 1-10; *IEEE*, sept. 2011.
- [5] XILINX. Disponible en: <http://www.xilinx.com/cpld/>; consultado en diciembre del 2014.
- [6] Brown, S.; Rose, J.; “FPGA and CPLD architectures: a tutorial”; Design & Test of Computers, Volume:13, Issue: 2. *IEEE*; agosto 2002.
- [7] Tejada G.; CPLD para el control de un motor paso a paso; Revista Electrónica-UNMS N°31; junio 2013.
- [8] Diseño Lógico con QUARTUS. Disponible en: http://www.youtube.com/watch?v=0jSD0C_Krug; consultado en diciembre del 2014.
- [9] Altera, “Controlling Analog Output From a Digital CPLD using PWM”, *Altera Corporation*, Disponible en: <http://www.altera.com/literature/wp/wp-01085-analog-output-digital-cpld-pwm.pdf>, Consultado en enero 2014.
- [10] MABUCHI MOTOR; Principles of Motor Motion; Disponible en: http://www.mabuchi-motor.co.jp/en_US/technic/t_0102.html; Consultado en: noviembre del 2014.
- [11] Microchip Tips & Tricks. Disponible en: http://www.edudevices.com.ar/download/articulos/microchip/AT_MCHIP_15.pdf; consultado en diciembre del 2014.