

DISEÑO DE UN CIRCUITO INTEGRADO SENSOR DE NIVEL INTELIGENTE

Ing. Juan F. Tisza Contreras*
Email : d270032@unmsm.edu.pe

*Profesor de la Universidad Nacional Mayor de San Marcos
Facultad de Ingeniería Electrónica, Lima-Perú*

Resumen : El Proyecto se orienta a desarrollar un sensor de nivel con procesamiento de la información (Inteligencia) que permita supervisar estados límites y desarrollar estrategias de control de modo que el C.I. diseñado directamente interactúe con el elemento final del sistema de control. Con este fin se ha hecho uso de la tecnología CMOS y es un diseño totalmente analógico que incorpora amplificadores operacionales que han sido desarrollados e implementados previamente en el presente proyecto.

Abstract : This project is oriented to develop a level sensor , which permits us to control limit stages and to develop control strategies in order to exchange directly control with the final element of the control system. With this purpose we have used the CMOS technology and this is a design totally analog that include operational amplifiers that have been developed and implemented previously in this project.

Palabras claves : C.I. Analógico, Op. Amp., Controlador PID, CAD, Microelectrónica.

I. INTRODUCCION

El proyecto en desarrollo permite generar un circuito integrado que concentre en un solo componente las funciones de control y supervisión en el control de nivel de líquidos en procesos industriales; en particular surge la necesidad de desarrollar este circuito por la gran actividad que tiene el Perú en la industria minera, de modo que esta aplicación puede ser utilizada con mucha facilidad en las celdas de flotación parte muy importante en el procesamiento que se realiza en una planta concentradora.

La solución integrada que se plantea en el ámbito de ASIC (ASIC, Applied Specific Integrated Circuit o Circuito Integrado de Aplicación Específica) es un sistema sensor de nivel con un cierto grado de inteligencia artificial, capaz de entregar salidas de alarma y de control en las entradas acepta una señal de set-point con lo que el circuito controla la variable de proceso, en una primera versión el ajuste de la sintonía se realiza en forma manual a través de un controlador PID, se esta desarrollando la segunda versión que incluye una posibilidad de autosintonía este comportamiento satisface los requerimientos de los sistemas industriales. En

Este trabajo es dirigido por el autor y es ejecutado por un grupo de investigacion.

relación con los parámetros de la performance del dispositivo; el mismo que tendrá una relación calidad-eficiencia aceptable y por encima de los estándares de diseño y manejo industrial.

El ASIC planteado en el punto anterior será orientado fuertemente a la parte aplicativa sobre la base de dos procesos industriales distintos pero muy relacionados. Estos procesos son:

1. Dentro de la fase de flotación en el proceso de concentración del mineral en una planta con tanques de tratamiento de mineral.
2. Dentro de tanques de almacenamiento y tratamiento de petróleo crudo y derivados como GLP y demás gasolinas, en grifos, plantas de despacho o refinerías. (Para hacer uso de esta aplicación se está desarrollando una interface mecánica adecuada).

El adiestramiento en Diseño integrado con la tecnología **CMOS**, la elaboración de bloques Circuitales Integrados VLSI para el desarrollo y simulación de sistemas de automatización dentro de las fases Control e Instrumentación en plantas industriales, son algunos elementos de lo que se llama hoy en día la ingeniería de diseño, análisis de sistemas y modelamiento de operación que se plantea contribuir con el presente proyecto.

II. DISEÑO DEL AMPLIFICADOR OPERACIONAL

2.1 Análisis en DC

Utilizando las fórmulas siguientes se realizará el análisis:

$$I_D = 0.5 * K_p * (W/L) * (V_{GS} - V_T)^2 \quad /V_{GS} = [(2/K_p) * (L/W)^{0.5} * I_D] + /V_T/$$

Donde: $K_p = U_{OX} * C_{OX}$, $C_{OX} = E_{OX} / T_{OX}$, $E_{OX} = 3.9 E_0$ y $E_0^{-14} = 8.86 * 10 \text{ F/cm}$

Tabla 1.- Datos

	Canal n	Canal p
V_T (v)	0,95	0,95
U (cm ² /v*s)	670	220
T_{OX} (A ⁰)	800	800

Entonces:

$$K_{pn} = 28,94 \mu A/V^2 \quad \text{y} \quad K_{pp} = 9,5 \mu A/V^2$$

Se observa que los transistores M18, M15 y M17 tienen el mismo voltaje V_{GS} , además son de canal n con los mismos valores de W/L , lo cual hace que sus corrientes I_{DS} sean iguales a I_{D1} .

Planteamos:

$$V_{SD19} + V_{DS18} = 2V \quad , \quad V = 5V$$

De la figura:

$$V_{SD19} = V_{SG19} \quad \text{y} \quad V_{DS18} = V_{GS18}$$

$$V_{SG19} = [(2/K_{pp}) * (L_{19}/W_{19}) * I_{D1}]^{0.5} + 0,95$$

$$V_{GS18} = [(2/K_{pn}) * (L_{18}/W_{18}) * I_{D1}]^{0.5} + 0,95$$

De estas ecuaciones:

$$I_{D1} = 29,8058 \mu A$$

$$V_{GS19} = 8,0352 v$$

$$V_{GS18} = 1,9649 v$$

Conociendo I_{D1} se puede calcular

$$V_{SD17} = V_{SG17} = [(2/K_{Pp}) * (L_{17}/W_{17}) * I_{D1}]^{0.5} + 0,95$$

$$V_{SD16} = V_{SG16} = [(2/K_{Pp}) * (L_{16}/W_{16}) * I_{D1}]^{0.5} + 0,95$$

$$V_{GS15} = [(2/K_{Pn}) * (L_{15}/W_{15}) * I_{D1}]^{0.5} + 0,95$$

$$V_{SD17} + V_{SD16} + V_{DS15} = 2 * V$$

Luego resulta:

$$V_{SD17} = V_{SG17} = 2,2702 v$$

$$V_{SD16} = V_{SG16} = 6,5513 v$$

$$V_{GS15} = V_{GS7} = 1,9649 v$$

$$V_{DS15} = 1,1785 v$$

Del circuito:

$$V_{SD17} = V_{SG17} = V_{SD14}, \text{ entonces podemos calcular } I_{D2}.$$

$$I_{D2} = 0.5 * K_{Pp} * (W_{14}/L_{14}) * (V_{GS14} - V_T)^2$$

$$I_{D2} = 16,5587 \mu A$$

Luego se puede hallar:

$$V_{GS13} = V_{DS13} = [(2/K_{Pn}) * (L_{13}/W_{13}) * I_{D1}]^{0.5} + 0,95$$

$$V_{GS13} = V_{DS13} = 2,4628 v$$

Como:

$$V_{SD14} + V_{DS13} = V$$

entonces

$$V_{SD14} = 2,5372 v$$

En el amplificador diferencial, por simetría pasa una corriente $I_{D1}/2$ por cada rama de manera que se hace calculable el valor de VGS para cada transistor.

$$V_{GS2} = V_{GS1} = [(2/K_{Pn}) * (L_1/W_1) * I_{D1}/2]^{0.5} + 0,95.$$

dato que:

$$L_1=L_2, \quad W_1= W_2$$

$$V_{GS2}=V_{GS1}=1,1769\text{v}$$

De igual manera sucede con los transistores M3 y M4

$$V_{GS3}=V_{GS4}=[(2/K_{Pn})*(L_4/W_4)* I_{D1} /2]^{0.5} + 0,95$$

$$V_{GS3}=V_{GS4}=1,3088\text{v}$$

Por simetría:

$$V_{SD5}=V_{SG5}=V_{SD6}=V_{SG6}=[(2/K_{Pp})*(L_5/W_5)*I_{D1}/2]^{0.5} + 0,95$$

$$V_{SD5}=V_{SG5}=V_{SD6}=V_{SG6}=2,2024\text{v}$$

De las ecuaciones:

$$V_{DS3}=V - V_{SD5} - V_{DS13} + V_{SD5} = V_{DS4}$$

$$V_{DS1} = 2*V - V_{SD5} - V_{DS13} - V_{DS7} = V_{DS2}$$

$$V_{DS7} = V - V_{GS1}$$

Tenemos:

$$V_{DS2} = V_{DS1} = 2,3309\text{v}$$

$$V_{DS3} = V_{DS4} = 1,6436\text{v}$$

$$V_{DS7} = 3,8231\text{v}$$

Como:

$$V_{SD17} = V_{SG9} = 2,2702\text{v}$$

se puede hallar:

$$I_{D3} = 0.5 * K_{Pp} * (W_9/L_9) * (V_{GS14} - V_T)^2$$

$$I_{D3} = 66,23507 \mu\text{A}$$

Teniendo el valor de I_{D3} se calcula:

$$V_{SG8} = [(2/K_{Pp})*(L_8/W_8)*I_{D3}]^{0.5} + 0,95$$

Entonces:

$$V_{SG8} = 2,4745\text{v}$$

Para un voltaje $V_{ODC} = 0\text{v}$, tenemos:

$$V_{SD9} = V - V_{SG8}, \quad V_{SD8} = 2*V - V_{SD9}$$

Luego resulta:

$$V_{SD9}=2,5255v, V_{SD8}=7,4745v$$

En el transistor M10 la corriente I_{D5} es cero y como V_{GS10} es diferente de cero concluimos que $V_{DS10}=0v$, luego el transistor se encuentra en la sub-región óhmica. Con $V_{GS10}=2*v-V_{GS7}$, entonces $V_{GS10}=8,031v$
De la condición de $V_{ODC}=0v$, entonces:

$$V_{DS12}=V_{DS11}=5v$$

Como $V_{DS10}=0v$, luego $V_{DS12}=V_{DS11}=5v$, también $V_{DS10}=0v$

Entonces:

$$V_{GS11}=V_{GS7}=1,9649v, \text{ también se observa que } V_{SG12}=V_{SD6}=2,2024v$$

Se desea que los transistores M11 y M12 se encuentren en saturación, se plantea:

$$I_{D4}=0.5*K_{Pp}*(W_{12}/L_{12})*(V_{SG12}-V_T)^2=0.5*K_{Pn}*(W_{11}/L_{11})*(V_{GS11}-V_T)$$

De donde obtenemos:

$$(W_{12}/L_{12})/(W_{11}/L_{11})=[(V_{GS11}-V_T)^2*K_{Pn}]/[(V_{SG12}-V_T)^2*K_{Pp}]$$

$$(W_{12}/L_{12})/(W_{11}/L_{11})=2,00021v$$

Con la tecnología de 1μ es conveniente las relaciones siguientes:

$$(W_{12}/L_{12})=7600/1 \quad \text{y} \quad (W_{11}/L_{11})=3800/1$$

2.2 Análisis en AC

Los espejos de corriente formados por los transistores M19, M18, M17, M16 y M7 no participan en la ganancia del OPAMP, de la misma manera que la rama formada por los transistores M9, M8 y M10 no contribuyen en el análisis de ganancia (ver fig. 1.1).

Para frecuencias medias el condensador se comporta como circuito abierto. Se demuestra fácilmente que el nodo 6 tiene potencial cero. Con estas consideraciones pasaremos a analizar el diferencial, pero antes tomaremos en consideración lo siguiente:

Tomando $r_o=r_{DS}$ y mucho mayor que $(1/g_m)$

Ante una entrada diferencial y como g_m y r_o dependen del punto de operación, entonces tenemos:

$$g_{m1}=g_{m2}, g_{m3}=g_{m4}, g_{m5}=g_{m6}, r_{O1}=r_{O2}, r_{O3}=r_{O4}$$

Aplicando mallas:

$$V_{GS5} + V_{GS3} = (i_1 - g_{m3} V_{GS3}) * r_{O3} \quad (1)$$

$$V_{GS5} = -i_1 / g_{m5} \quad (2)$$

De (1) y (2) se deduce:

$$V_{GS3} = i_1 * (r_{O3} + 1/g_{m5}) / (1 + g_{m3} r_{O3}) \quad (3)$$

Aplicando THEVENIN tenemos:

$$i_1 = (g_{m3}r_{O3}V_{GS3} + g_{m1}r_{O1}V_d/2) / (r_{O1} + r_{O3} + 1/g_{m5})$$

$$i_2 = (g_{m5}r_{O6}V_{GS5} + g_{m1}r_{O1}V_d/2 - g_{m3}r_{O3}V_{GS4}) / (r_{O1} + r_{O3} + r_{O6})$$

Reemplazando la ecuación en (3) en la expresión de i_1 .

$$i_1 = g_{m1}r_{O1}V_d/2 [r_{O1} + r_{O3} + 1/g_{m5} - g_{m3}r_{O3}(r_{O3} + 1/g_{m5}) / (1 + g_{m3}r_{O3})]$$

Reduciendo:

$$i_1 = g_{m1}r_{O1}(1 + g_{m3}r_{O3}) V_d/2 (r_{O1} + r_{O3} + 1/g_{m5} + g_{m3}r_{O3}r_{O1})$$

Considerando que r_O es mucho mayor que $1/g_m$, la expresión de i_1 se reduce aun mas a:

$$i_1 = g_{m1} V_d/2 \quad (4)$$

Del circuito $V_O = r_{O6} i_2 - g_{m5}r_{O5}V_{GS5}$, considerando la ecuación (2) en esta expresión.

$$V_O = r_{O6} i_2 + r_{O6} i_1$$

Y teniendo en consideración que $i_1 = i_2$ entonces:

$$V_O = 2r_{O6} i_1 \quad (5)$$

De las ecuaciones (4) y (5), la ganancia del amplificador es:

$$A_1 = V_O / V_d = g_{m1}r_{O6}$$

Para la segunda etapa de amplificación se observa que el nodo 6 tiene voltaje cero en AC, luego la fuente de corriente del transistor M11 es cero y solo queda la resistencia r_{O11}

Para el análisis:

$$A_2 = V_O / V_O = -g_{m12} (r_{O11} // r_{O12})$$

Entonces la ganancia total es:

$$A_T = A_1 A_2 = V_O / V_d = -g_{m1}r_{O6} g_{m12} (r_{O11} // r_{O12})$$

Impedancia de salida (Z_O)

Sabemos que:

$$V_{GS11} = 0V$$

$$V_O = g_{m1}r_{O6}V_d = V_{GS12} = 0V$$

$$Z_O = V_Z / i_Z = r_{O11} // r_{O12}$$

2.3 Cálculo de los parámetros de los MOSFET

Sabemos que:

$$g_m = 2I_D / (V_{GS} - V_T), \quad r_o = 1 / (\lambda * I_D)$$

$$\lambda = 0.01; r_{DS} = r_o$$

$$(g_m \text{ en } 10^{-6} \text{ mho}; r_o \text{ en Megaohm})$$

$g_{m1} = g_{m2} = 131,349$	$g_{m12} = 147,532719$	$r_{O15} = r_{O16} = r_{O17} = r_{O18} = r_{O19} = 3,355$
$g_{m3} = g_{m4} = 83,070792$	$g_{m13} = 21,89089$	$r_{O1} = r_{O2} = r_{O5} = r_{O6} = 6,710103$
$g_{m5} = g_{m6} = 23,798946$	$g_{m14} = 25,084416$	$r_{O3} = r_{O4} = 6,710103$
$g_{m7} = 58,739321$	$g_{m15} = g_{m18} = 58,739321$	$r_{O8} = r_{O9} = 1,509774$
$g_{m8} = 86,895352$	$g_{m16} = 10,642477$	$r_{O11} = r_{O12} = 1,08242693$
$g_{m9} = 100,338075$	$g_{m17} = 45,152161$	$r_{O13} = r_{O14} = 6,039121$
$g_{m11} = 182,0662935$	$g_{m19} = 8,413597$	$r_{O7} = 3,355$

La última etapa del opamp; M11 y M12: En esta última etapa se podrá controlar la impedancia de salida, la cual se desea que sea pequeña y un voltaje de cero en DC. Mediante el análisis del circuito mostrado anteriormente se llegó:

Primero, para lograr que a la salida se obtenga una señal en DC de cero voltios se debe mantener la siguiente relación de los parámetros de los CMOS 12 y 11:

$$\frac{W_{12} L_{11}}{W_{11} L_{12}} = 1.9 \quad (6)$$

Esta relación se demostró trabajando solo con los dos últimos CMOS del Opamp y dándole la consideración de que en DC la señal de salida sea cero voltios.

Segundo, para que se logre una impedancia de salida pequeña se debe mantener que la relación entre:

W_{11}/L_{11} sea lo más grande posible ya que la impedancia de salida depende de este parámetro y de la tensión V_{gs} que llega al CMOS 11.

Llegamos a esta conclusión hallando la corriente en DC que pasa por la última etapa en función de todos los parámetros de los CMOS 11 y 12, puesto que la impedancia de salida del Opamp es:

$$R_d = V_a / I_{dq} \quad (7)$$

A mayor corriente sobre la última etapa, entonces habrá menor resistencia de salida, que es lo que se desea.

Debemos también tener en cuenta que deberemos mantener los dos últimos transistores en la región de saturación para poder hacer válido nuestros cálculos ya que para nuestro análisis se utilizaron las ecuaciones del CMOS cuando este se encuentra trabajando en la región de saturación.

Para poder hacer más sencilla la obtención de las longitudes de los dos CMOS se asumió que los dos transistores tienen el mismo valor para L , es decir $L_{11} = L_{12}$, lo cual hizo que la ecuación (1) se redujera a:

$$W_{12}/W_{11} = 1.9$$

Tomando en cuenta todo lo mencionado anteriormente se llegó a la siguiente conclusión final:

$$1.9 * W_{11} = W_{12} = 14970 \mu$$

$$L11 = L12 = 2\mu$$

Obteniéndose para estos valores una impedancia de salida de 900 Ohm y una señal en DC de 0.8mvolts, lo cual es muy favorable en el diseño del Opamp.

Cuyos valores todavía pueden ser mejorados para hacer mas optimo el layout. Con estos cálculos se lograron inicialmente los siguientes resultados:

a.- Ganancia en lazo abierto	97db.
b.- Ganancia del Amplificador Diferencial	59db
c.- Voltaje Offset	-0.0193
d.- CMRR	102.95 db.
e.- Slew Rate (SR)	0.07472 $V/\mu s$.
f.- Impedancia de salida	60.827K Ω
g.- Disipación de potencia	9.98E-03 Watts

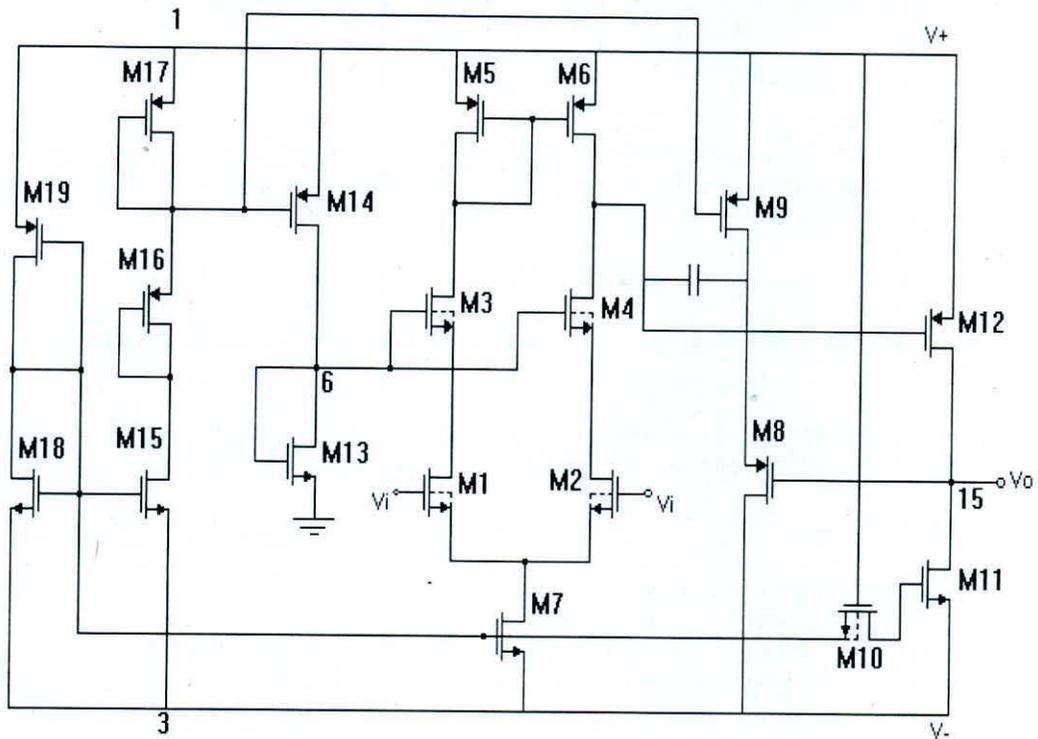


Figura 1 - Amplificador Operacional adoptado para el diseño.

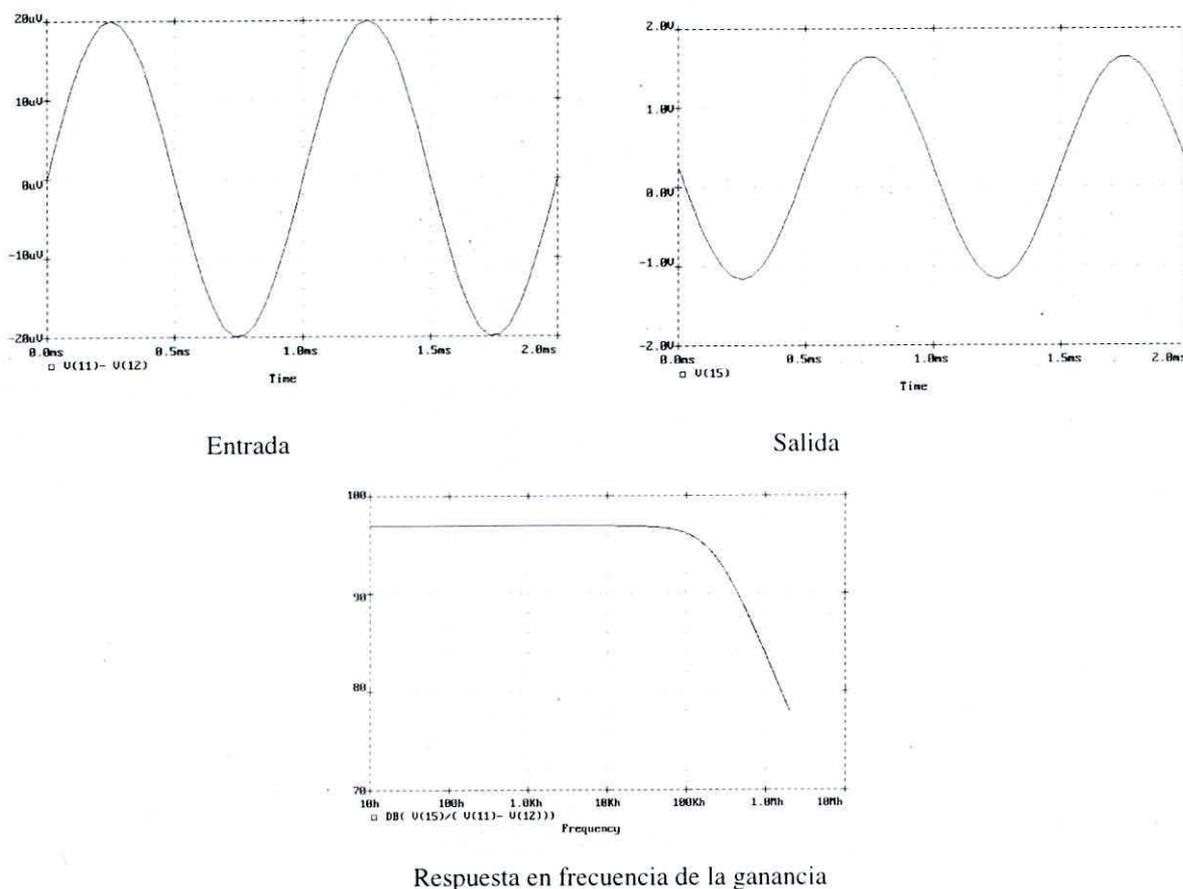


Figura 2 - Resultados del Comportamiento del Op. Amp.

III. DESARROLLO DE LA PROGRAMACION

Se han desarrollado programas basados en lenguaje C++, Matlab v5.00. Los cuales facilitan el cálculo manual en el circuito; provee de un menú de opciones en el cual se puede variar principalmente el valor de la fuente de corriente, obteniéndose en forma inmediata los valores del W (width) y L (large) para cada MOSFET.

El siguiente programa se ha realizado en Matlab por su facilidad que brinda al programador tanto en su interfaz gráfica con el usuario como sus múltiples y extraordinarias herramientas matemáticas.

La finalidad del programa es poder visualizar los diferentes parámetros que conforman el circuito del amplificador operacional que se muestra, conocer su comportamiento ante la variación de algunos de ellos y obtener los resultados en tiempo real, de esta manera se economiza tiempo en los cálculos y obtenemos un diseño óptimo.

El programa esta conformado por archivos en el cual se ingresan los siguientes parámetros que se trabajará:

I_o	: Fuente de corriente.	V_{Tp}	: Voltaje umbral para mosfet de canal p
V_{dd}	: Fuente de tensión en DC	V_{Tn}	: Voltaje umbral para mosfet de canal n
V_{ss}	: Fuente de tensión en DC	nV_{Tn}	: Voltaje umbral para mosfet de canal n
		λ_p	: Modulación de la longitud del canal

- λ_n : Modulaci3n de la longitud del canal n
- K_{pr-n} : Par3metro del proceso para mosfet de canal n.
- K_{pr-p} : Par3metro del proceso para mosfet de canal p.
- W_{max} : Longitud m3xima del ancho del canal.
- W_{min} : Longitud m3nima del ancho del canal.
- L_{max} : Longitud m3xima del largo del canal.
- L_{min} : Longitud m3nima del largo del canal.

Estos par3metros son los necesarios para poder polarizar los MOSFET en zona de saturaci3n (Pinch-Off) . Luego tenemos otro archivo mediante el cual obtenemos, bajo ciertas consideraciones, valores de las corrientes, voltajes y (W/L) de cada MOSFET.

En este programa cada par3metro es un objeto, es por eso que se tiene un archivo para cada uno de ellos para su mejor manipulaci3n y su mejor entendimiento.

Como muestra de la interfase con el usuario tomamos como ejemplo la aplicaci3n del programa al siguiente circuito simplificado (Fig. 3) -

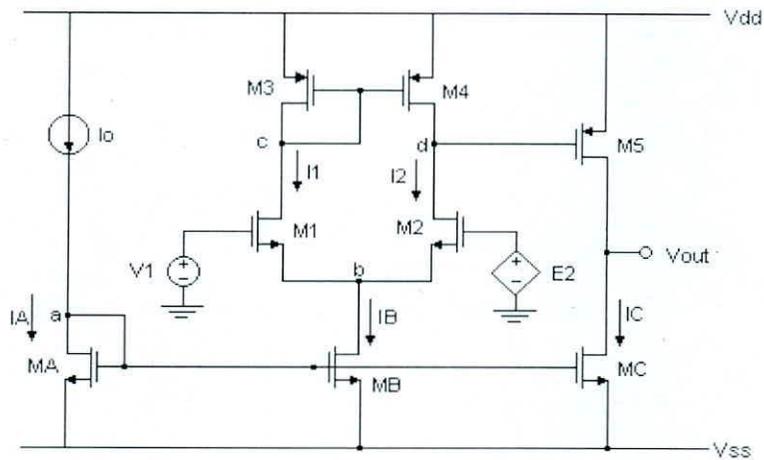


Figura 3- Amplificador Operacional Base

El archivo principal tiene la funci3n de llamar a otros archivos para visualizar la presentaci3n; con el cual se obtiene la manipulaci3n de cada par3metro; y tener los controles de "reset", "cerrar", las cuales tienen las funciones de dar los valores por defecto y cerrar el programa respectivamente (Ver Fig. 4)

Corriente (pA)	Voltaje (V)	W/L
Ia10	Vd10	Iw/L1
Ia20	Vs1-5	Iw/L2
Ib10	Va1-5	Iw/L3
Ic10	Va1-5	Iw/L4
Ib20	Vc1-5	Iw/L5
Ic20	Vd1-5	Iw/LA
Ib30		Iw/LB
Ic30		Iw/LC

-4.364e+004 Adm
 2.430 Zout (M ohm)

Reset Close Actualizar

Figura 4 - Aspecto del Programa.

IV. DISEÑO DEL LAYOUT

Para el desarrollo del diseño se utilizaron los programas TANNER y LASI. Los resultados se pueden ver en la Fig. 5

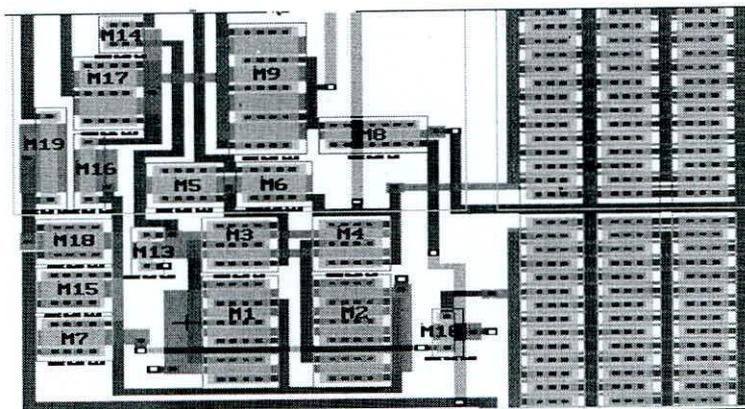


Figura 5 - LAYOUT- Realizado con TANNER y LASI.

4.1 Observaciones en el diseño de las máscaras

Para el diseño de la última etapa buffer, pues en esta etapa no existe amplificación, nos damos cuenta que el tamaño de este es relativamente grande, ocupando un gran tamaño comparado con las demás etapas del opamp.

Luego hallamos los valores respectivos de las particiones del MOS transistor de tal forma que el opamp en total, ocupe un área cuadrada mínima (4a más pequeña posible) haciendo de ésta la manera más óptima para la integración del opamp junto con todas las demás conexiones del dispositivo diseñado.

Teniendo en cuenta estas consideraciones y las consideraciones de diseño de máscaras, se plantean las siguientes ecuaciones:

$$12 + 4(n_{11} + n_{12}) = W_{11}(4+m_{11}) = W_{12}(4 + m_{12}) \quad (8)$$

Siendo :

W_{11}, W_{12} : La longitud W de cada partición de los CMOS 11 y 12.

n_{11}, n_{12} : La cantidad de filas que se dispondrán para cada CMOS.

m_{11}, m_{12} : La cantidad de columnas que se dispondrán para cada CMOS.

Todos estos valores deben hallarse tal que cumplan que:

$$W_{11}n_{11}m_{11} = 100, \quad \text{y} \quad W_{12}m_{12}n_{12} = 197$$

Estos valores no necesariamente tienen que regirse estrictamente a la igualdad (8). Pero lo deseable es que se mantengan en ella con un margen de error menor del 5%.

Arriba se muestra el Layout del amplificador que consta de una etapa de entrada, una etapa diferencial y una etapa de salida, las mismas que se deducen fácilmente haciendo la comparación con el diagrama esquemático que se presentó anteriormente.

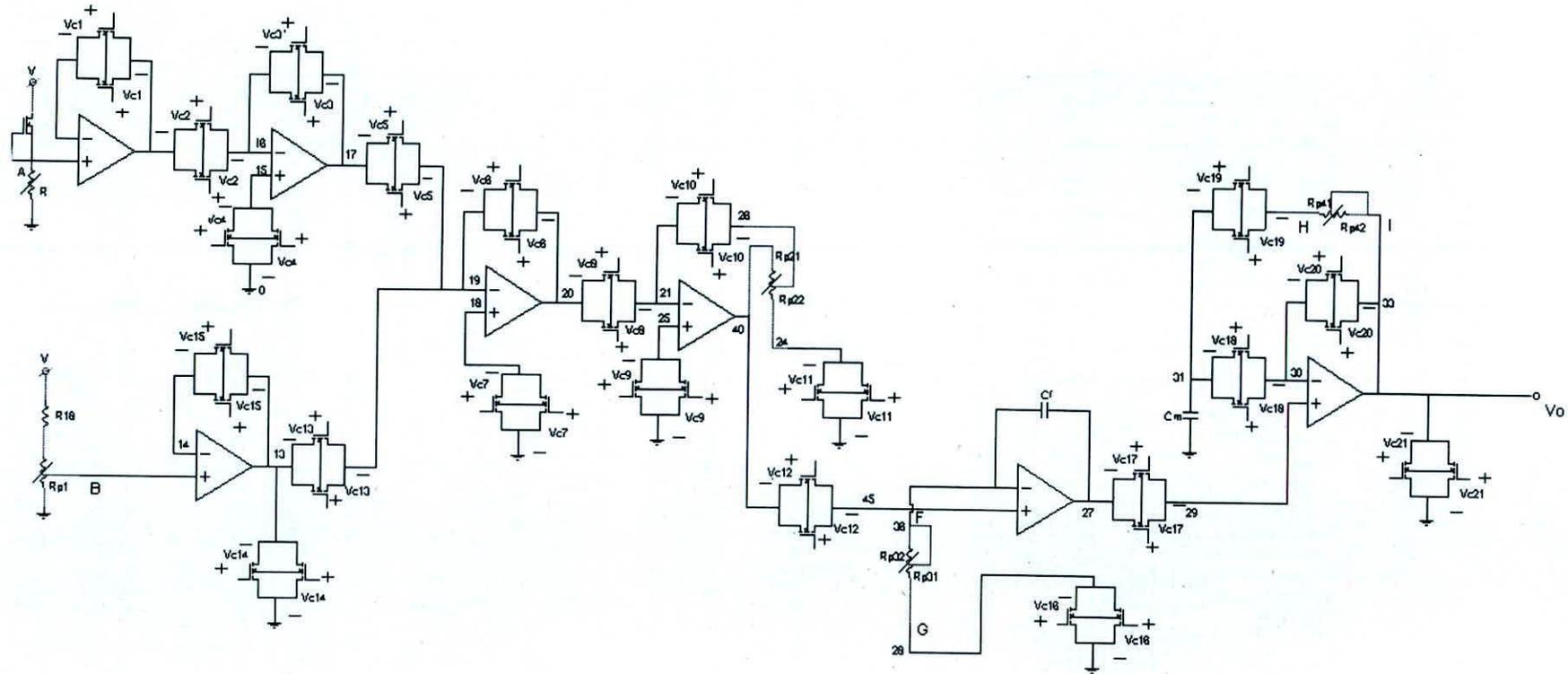


Figura 6 - Circuito Completo diseñado Materia del Proyecto.

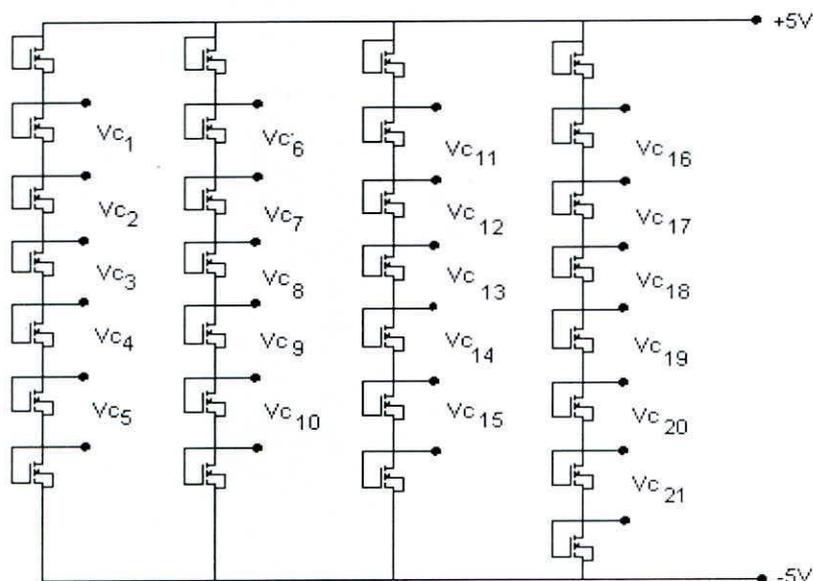


Figura 7 - Circuito Generador de las Tensiones de Control.

V. CONCLUSIONES

El trabajo constituye un proyecto que se encuentra en fase de ejecución y que está incorporando en esta primera etapa un sensor adicionado a un circuito integrado que se diseña con tecnología CMOS y con procesamiento totalmente analógico.

Se demuestra en la investigación realizada hasta la fecha las limitaciones que tiene la configuración circuital seleccionada para el diseño. Habiendo ya concluido que existen marcadas limitaciones prácticas que se tiene cuando se intenta obtener mediante la tecnología adoptada un mejor comportamiento del amplificador operacional adoptado en sus características de impedancia de salida y consumo de potencia.

La investigación también concluye con la presentación de una primera generación de una herramienta CAD, desarrollado para hacer un diseño automatizado de este circuito analógico y con proyección a extender la herramienta a ser de ayuda para diseños analógicos en general.

El proyecto demuestra a pesar de estar aun en etapa de ejecución que es muy factible la integración y desarrollo de sensores inteligentes que pueden ser incorporados a sistemas de mayor complejidad.

VI. REFERENCIAS

- Carrabina, Jordi; Terés, Lluís; Introducción al Diseño de Circuitos Integrados.
 Fernández, Ing. Pablo Ricardo; Introducción y Conceptos Básicos de Diseño CMOS.
 Geiger, Randall; Allen, Phillip; Strader, Noel. VLSI Design Techniques for Analog and Digital Circuits, Tomo I.
 Geiger, Randall; Allen, Phillip; Strader, Noel. VLSI Design Techniques for Analog and Digital Circuits, Tomo II.
 Memorias del IV Workshop IBERCHIP, Universidad Nacional de La Plata, Facultad de Ingeniería – Centro de Técnicas Analógico-Digitales (CeTAD).
 Muller; Kamins; Device Electronics for Integrated Circuits.

EDITADO EN LOS TALLERES GRAFICOS DE:

impresos & sistemas s.a.

Tiraje: 200

Av. Petit Thouars 3943

Lima 27, Perú